פרויקט Internal Logic Analyzer Core – הערות על מצגת האפיון – 16.04.2012

* 1. התיקונים והשיפורים שביצעתם טובים. התקדמות יפה. הערותיי הן:
     1. שקף מס' 1:
        1. ~~יש להוריד במעט את הכיתוב השחור (קרוב מדי לסמלים).~~
     2. שקף מס' 3:
        1. ~~טעות כתיב- Memorys~~.
        2. ~~התמונה הראשונה – לא ברורה לי המטרה שבתמונה. הרבה מלל לגבי הרכיבים והממשקים. מה זה קשור? אפשר לוותר עליה כי התמונה השנייה היא הנכונה והקשורה.~~
        3. שכל המלל יגיע עם BULLET ותת BULLET-ים מיושרים.
        4. ~~התמונה שבאה לאחר memories to store data לא קשורה. אתם צריכים תמונה של RAM. אשלח לכם.~~
        5. ~~צריך גם לדבר על הכלים הנפוצים בשימוש בתעשייה: הכלי של יצרנית ה- FPGA-ים, ALTERA, נקרא SignalTap. הכלי של יצרנית ה- FPGA-ים, XILINX, נקרא ChipScope. ממש לציין את השמות במלל בשקף. תחפשו בגוגל תמונות של שני הכלים. לדוגמא:~~ <http://www.google.co.il/imgres?hl=iw&tbm=isch&tbnid=B1XM4YEbbAAnrM:&imgrefurl=http://elecrom.wordpress.com/2010/03/24/xilinx-chipscope-tutorial/&docid=1zH2VpLkOb-LPM&imgurl=http://elecrom.files.wordpress.com/2010/03/clip_image036.jpg&w=623&h=520&ei=X16MT57UKsjl8QP-tunYCQ&zoom=1&iact=hc&vpx=813&vpy=369&dur=3134&hovh=205&hovw=246&tx=80&ty=90&sig=101966544426890850805&page=1&tbnh=151&tbnw=181&start=0&ndsp=16&ved=1t:429,r:11,s:0,i:87&biw=1280&bih=685>

ו:

<http://www.google.co.il/imgres?hl=iw&tbm=isch&tbnid=nNtmDIGTVh8sWM:&imgrefurl=http://home.educities.edu.tw/oldfriend/Quartus/signaltap2.htm&docid=HDa4IUQA9aoUvM&imgurl=http://home.educities.edu.tw/oldfriend/images/Quartus/signaltap/signal02.gif&w=765&h=710&ei=CV-MT-GzCYSq8AOigYXSCQ&zoom=1&iact=hc&vpx=409&vpy=289&dur=535&hovh=216&hovw=233&tx=123&ty=110&sig=101966544426890850805&page=2&tbnh=149&tbnw=161&start=18&ndsp=21&ved=1t:429,r:2,s:18,i:131&biw=1280&bih=685>

* + - 1. ~~התמונה של ה- VHDL מטושטשת. תמצאו אחת אחרת.~~
      2. ~~ה- BULLET האחרון נעלם לפני שעוברים שקף בזמן המצגת.~~
    1. שקף מס' 4:
       1. ~~לפני (1) יש רווח מיותר.~~
       2. ~~את (1), (2) ו- (3) תשימו בתת BULLET ולא ב- BULLET (תוסיפו הזחה).~~
       3. ~~התמונות של ה- GUI לא קשורות. תשימו אחת דומה למה שהיה בשקף הקודם (עם צורות גלים).~~
       4. ~~ב- BULLET האחרון: כמו בחומרה תפצלו ל- 2, כלומר, which will allow to present the recorded ירד לתת BULLET (ולהוריד את ה- which will, ולהוסיף תת BULLET שני לגבי שהתוכנה יכולה לשלוח בקשות ע"פ המשתמש ולקנפג את החומרה.~~
       5. ~~התמונה האחרונה אינה קשורה – תורידו אותה. אין צורך בעוד תמונה למלל של ה- BULLET האחרון, כי בשקף של הארכיטקטורה הכללית יש את ה- UART וה- GUI, שבאמצעותם בודקים את המערכת שנבנה.~~
       6. ~~השרטוט של הארכיטקטורה אינו כולל תיקונים קלים שביצעתם בשקף 6:~~
          - ~~יש ליצור הפרדה בין החומרה לתוכנה (ע"י הרקע התכלת).~~
          - לציין את סוג ה- FPGA.
          - ~~רווח בין ה- UART ל- IN ול- OUT וגם באותיות גדולות במקום קטנות.~~
          - ~~גם החץ ל- signal generator מה- intercom הוא דו-כיווני, וצריך להתחבר עם מלבן קטן של wishbone slave.~~
          - ~~להוסיף מקרא ל- WBS ול- WBM.~~
    2. שקף מס' 5:
       1. שקף טוב. אם אפשר שהתמונה תהיה ברורה יותר ולא מטושטשת זה יהיה יותר טוב.
       2. ~~להוריד את שני ה- the ב- BULLET הראשון ואת הנקודותיים.~~
       3. ~~להוריד את ה- the logic analyzer ושני ה- will ב- bullet השני.~~
       4. יש גם תכונה של position, כלומר, מיקום ה- trigger. הכוונה: אם נניח ביקשתי להקליט 300 דגימות. אם מיקום ה- trigger הוא בהתחלה, אז יוקלטו החל מרגע הדריכה 300 דגימות. אם מיקום ה- trigger הוא באמצע, אז יוקלטו 150 לפני הדריכה ו- 150 לאחר הדריכה, ואם מיקום ה- trigger בסוף, אז יוקלטו 300 דגימות לפני הדריכה.
    3. שקף מס' 6:
       1. לציין את סוג ה- FPGA: Altera Cyclone II.
    4. שקף מס' 7:
       1. המלל האחרון, כשמגיע ל- GUI, לא רואים את החלק השמאלי שלו, בגלל הרקע השחור. תזיזו אותו קצת ימינה.
       2. ב- injecting signal behavior: רק תיישרו את כל שלושת המילים שמאלה.
       3. בתמונה של ה- WAVEFORM: אם אפשר שהתמונה תהיה ברורה יותר ולא מטושטשת זה יהיה יותר טוב.
    5. שקף מס' 9: לדעתי, אין אינפורמציה מיוחדת שלא נאמרה בשקפים קודמים. ממליץ להוריד.
    6. שקף מס' 10: לדעתי, אין אינפורמציה מיוחדת שלא נאמרה בשקפים קודמים. ממליץ להוריד.
    7. שקף מס' 11: רק תזיזו טיפה ימינה כי החלק השמאלי קצת נבלע.
    8. שקפים מס' 12-13: לא רואה צורך בעמודה השמאלית. תיישרו את כל המלל לצד שמאל.
  1. מה לגבי התקנת SVN? מה לא עובד שם? איזו הודעה אתם מקבלים? תנסו להעזר באחד מהצוותים שלי שאתם מכירים.
  2. מסמך הפרויקט אמור להיות מעודכן במקביל. הערות במצגת (למטה) יכולות להגזר מהמלל של מסמך הפרויקט.
  3. ברביעי או חמישי בערב אגיע לטכניון. תגידו לי אם אתם רוצים להיפגש והאם יש יום (רביעי או חמישי) שאתם לא יכולים.
  4. אבקש לקבל את המצגת המעודכנת בהתאם להערות האחרונות בהקדם, כדי שנוכל להציג במהלך השבוע הבא.
  5. יש לקבוע מועד למצגת. תשלחו לי שני מועדים אפשריים מבחינתכם ומבחינת המעבדה.